

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 7 4 0 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 7 4 0 4]

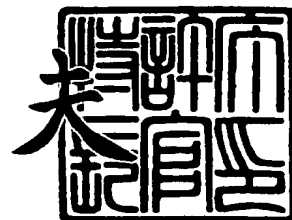
出 願 人 京セラ株式会社
Applicant(s):



2 0 0 3 年 9 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 28190
【あて先】 特許庁長官殿
【国際特許分類】 H01G 7/06

【発明者】

【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

【氏名】 見島 常雄

【発明者】

【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

【氏名】 岸野 哲也

【特許出願人】

【識別番号】 000006633

【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町 6 番地

【氏名又は名称】 京セラ株式会社

【代表者】 西口 泰夫

【先の出願に基づく優先権主張】

【出願番号】 特願2002-284377

【出願日】 平成14年 9月27日

【手数料の表示】

【予納台帳番号】 005337

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量可変コンデンサ回路、容量可変薄膜コンデンサ素子及び高周波部品

【特許請求の範囲】

【請求項 1】 入力端子と出力端子との間に、印加電圧値によって容量が変化する第 1 乃至第 N の可変容量素子を順次直列接続して成る容量可変コンデンサ回路において、

前記第 1 の可変容量素子の入力端子側端子部と第 2 i の可変容量素子ー第 2 $i + 1$ の可変容量素子との各接続点の間に第 i の入力端子側バイアスラインを設け、且つ前記第 N の可変容量素子の出力端子側端子部と第 2 $i - 1$ の可変容量素子ー第 2 i の可変容量素子との各接続点の間に第 i の出力端子側バイアスラインを設けることを特徴とする容量可変コンデンサ回路。

(但し、 $N = 2n + 1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$)

【請求項 2】 前記第 i の入力端子側バイアスライン及び第 i の出力端子側バイアスラインが少なくとも抵抗成分及び／またはインダクタ成分を設けたことを特徴とする請求項 1 に記載の容量可変コンデンサ回路。

【請求項 3】 前記入出力端子間に、直列接続された前記第 1 乃至第 N の可変容量素子が複数群配置されており、前記第 i の入力端子側バイアスライン及び第 i の出力端子側バイアスラインが、各群に対して夫々設けられていることを特徴とする請求項 1 に記載の容量可変コンデンサ回路。

【請求項 4】 入力端子は、高周波信号の信号入力端子と直流バイアスの供給端子とが共用されていることを特徴とする請求項 1 に記載の容量可変コンデンサ回路。

【請求項 5】 支持基板上に、印加電圧により容量が変化する、且つ直列接続してなる第 1 乃至第 N の可変容量素子と、前記第 1 の可変容量素子の入力端子側端子部と第 2 i の可変容量素子ー第 2 $i + 1$ の可変容量素子の各接続点の間に第 i の入力端子側バイアスラインを設け、且つ前記第 N の可変容量素子の出力端子側端子部と第 2 $i - 1$ の可変容量素子ー第 2 i の可変容量素子の各接続点の間に第 i の出力端子側バイアスラインを設けることを特徴とする容量可変薄膜コンデンサ素子。

子。

【請求項 6】前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着してなることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 7】前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$ からなることを特徴とする請求項 5 乃至 6 のいずれに記載の容量可変薄膜コンデンサ素子。

【請求項 8】支持基板には、入力端子と出力端子が形成されていることを特徴とする請求項 5 の容量可変薄膜コンデンサ素子。

【請求項 9】前記バイアスラインは Ni-Cr 合金あるいは Fe-Cr-Al 合金などの高抵抗合金薄膜からなることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 10】前記バイアスラインは、 Au 、 Pt などの貴金属薄膜からなることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 11】前記バイアスラインは、 Ni 、 Fe 等の強磁性体薄膜からなることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 12】前記バイアスラインは、酸化物導電体、窒化物導電体または半導体からなることを特徴とする請求項 5 に記載の可変薄膜コンデンサ素子。

【請求項 13】前記バイアスラインは、絶縁膜を介して、直列接続された容量可変薄膜コンデンサ上に形成されていることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 14】前記バイアスラインが直線状、ループ状、ミアンダ状あるいはスパイラル状であることを特徴とする請求項 5 に記載の容量可変薄膜コンデンサ素子。

【請求項 15】請求項 5 に記載の容量可変薄膜コンデンサ素子が、共振回路の一部及び／又は複数の共振回路を接合する容量素子として用いられることを特徴とする高周波部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直流バイアス電圧の印加により容量を大きく変化できるが、高周波

信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変コンデンサ回路に関するものである。また、本発明は、誘電体層を薄膜技法により形成した薄膜コンデンサに関するものであり、特に直流バイアス電圧の印加により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変薄膜コンデンサに関するものであり、さらに、耐電力に優れた容量可変薄膜コンデンサを用いた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品に関するものである。

【0002】

【従来技術】

従来、薄膜コンデンサとして、上下電極層および誘電体層が薄膜で形成された薄膜コンデンサがある。これは通常、電気絶縁性の支持基板上に薄膜状の下部電極層、誘電体層、上部電極層がこの順に積層している。このような薄膜コンデンサでは下部電極層、上部電極層が夫々スパッタ、真空蒸着などで形成されており、誘電体層もスパッタ、ゾルゲル法等で形成されている。このような薄膜コンデンサの製造では、通常、以下のようにフォトリソグラフィの手法が用いられる。先ず、絶縁性支持基板上の全面に下部電極層となる導体層を形成した後、必要部のみをレジストで覆い、その後、ウエットエッチング又は、ドライエッチングで不要部を除去して、所定形状の下部電極層を形成する。次に、支持基板上に薄膜誘電体層となる誘電体層を全面に形成し、下部電極層同様に、不要部を除去して所定形状の薄膜誘電体層を形成する。最後に上部電極層となる導体層を全面に形成し、不要部を除去して所定形状の上部電極層を形成する。また、保護層やハンダ端子部を形成することにより、表面実装が可能になる。また、薄膜誘電体層の材料として、 $(\text{Ba}_x\text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_{3-z}$ から成る誘電体材料を用いて、上部電極層と下部電極層との間に所定電位を与えて、誘電体層の誘電率を変化させて、容量を変化させる容量可変薄膜コンデンサも同様な構造である。直流バイアスの印加により容量を変化させる容量可変薄膜コンデンサとしては、例えば特許文献1（特開平11-260667号）に開示されている。

【0003】

容量可変薄膜コンデンサでは直流バイアスを印加することで誘電率が変化し、その結果として容量が変化する。容量の変化は高周波領域にも及び、高周波でも容量可変薄膜コンデンサとして利用可能となる。この様な高周波での容量可変薄膜コンデンサの容量変化を利用して、直流バイアスの印加により周波数特性を変化できる電子部品が得られる。例えば、上述の容量可変薄膜コンデンサと薄膜インダクタを組み合わせた電圧制御型薄膜共振器では、直流バイアスの印加により共振周波数を変化させることができる。また、容量可変薄膜コンデンサまたは電圧制御型薄膜共振器と薄膜インダクタ、薄膜キャパシタを組み合わせた電圧制御型薄膜帯域通過フィルタでは、直流バイアスの印加により通過帯域を変化させることができる。マイクロ波用の電圧制御型電子部品に関しては例えば特許文献 2（特表平 8-509103 号）に開示されている。

【特許文献 1】

特開平 11-260667

【特許文献 2】

特表平 8-509103

【0004】

【発明が解決しようとする課題】

上述の様な容量可変薄膜コンデンサを高周波用電子部品で用いる場合、容量可変薄膜コンデンサには容量可変用の直流バイアス電圧と高周波信号の電圧（高周波電圧）が同時に印加されることになる。高周波電圧が高い場合は高周波電圧によっても容量可変薄膜コンデンサの容量が変化するようになる。この様な容量可変薄膜コンデンサを高周波用電子部品に用いると、高周波電圧によるコンデンサの容量変化のため波形歪、相互変調歪みノイズが生じるようになる。波形歪、相互変調歪みノイズを小さくするためには高周波電界強度を下げ高周波電圧による容量変化を小さくする必要がある、その為には誘電体層の厚みを厚くすることが有効であるが、誘電体層の厚みを厚くすると直流電界強度も小さくなるため容量変化率も下がってしまう問題がある。

【0005】

また、高周波ではコンデンサには電流が流れやすくなるため、コンデンサを高

周波で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し破壊してしまう。このような耐電力の問題に対しても誘電体の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように誘電体層の厚みを厚くすると直流電界強度も小さくなるため直流バイアスによる容量変化率も下がってしまう問題がある。

【0006】

本発明の目的は上述の問題点を解決するために、高周波信号による容量変化が小さく、かつ、直流バイアスによる容量変化は大きいようなコンデンサを実現する容量可変コンデンサ回路および容量可変薄膜コンデンサ素子を提供することにある。

【0007】

本発明のさらに別の目的は上述の容量可変薄膜コンデンサを用いて相互変調歪みが小さく、耐電力に優れた高周波用電圧制御型薄膜共振器、電圧制御型薄膜高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品を提供することにある。

【0008】

【課題を解決するための手段】

本発明は、入力端子と出力端子との間に、印加電圧値によって容量が変化する第1乃至第Nの可変容量素子を順次直列接続して成る容量可変コンデンサ回路において、前記第1の可変容量素子の入力端子側端子部と第2の可変容量素子ー第2の可変容量素子の各接続点の間に第1の入力端子側バイアスラインを設け、且つ前記第Nの可変容量素子の出力端子側端子部と第2の可変容量素子ー第2の可変容量素子の各接続点の間に第1の出力端子側バイアスラインを設けることを特徴とする容量可変コンデンサ回路である。（但し、 $N = 2n + 1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$ ）そして、前記第1の入力端子側バイアスライン及び第1の出力端子側バイアスラインが少なくとも抵抗成分及び／またはインダクタ成分を設けたことを特徴とする容量可変コンデンサ回路である。

【0009】

前記入出力端子間に、直列接続された前記第1乃至第Nの可変容量素子が複数

群配置されており、前記第 i の入力端子側バイアスライン及び第 i の出力端子側バイアスラインが、各群に対して夫々設けられていることを特徴とする容量可変コンデンサ回路である。

【0 0 1 0】

また、入力端子は、高周波信号の信号入力端子と直流バイアスの供給端子とが共用されている容量可変コンデンサ回路である。

【0 0 1 1】

また、容量可変薄膜コンデンサ素子は、支持基板上に、印加電圧により容量が変化し、且つ直列接続してなる第 1 乃至第 N の可変容量素子と、前記第 1 の可変容量素子の入力端子側端子部と第 2 i の可変容量素子ー第 2 $i + 1$ の可変容量素子の各接続点の間に第 i の入力端子側バイアスラインを設け、且つ前記第 N の可変容量素子の出力端子側端子部と第 2 $i - 1$ の可変容量素子ー第 2 i の可変容量素子の各接続点の間に第 i の出力端子側バイアスラインを設けることを特徴とする容量可変薄膜コンデンサ素子である。

【0 0 1 2】

また、前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着してなる。また、前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$ からなる。しかも、この支持基板には、入力端子と出力端子が形成されている。

【0 0 1 3】

前記バイアスラインは $\text{Ni}-\text{Cr}$ 合金あるいは $\text{Fe}-\text{Cr}-\text{Al}$ 合金などの高抵抗合金薄膜、 Au 、 Pt などの貴金属薄膜、 Ni 、 Fe 等の強磁性体薄膜、酸化物導電体、窒化物導伝体または半導体のいずれから成っている。

【0 0 1 4】

また、バイアスラインは、絶縁膜を介して、直列接続された容量可変薄膜コンデンサ上に形成されている。

【0 0 1 5】

また、前記バイアスラインは直線状、ループ状、メアンダ状あるいはスパイラル状である。

【0 0 1 6】

さらに、容量可変薄膜コンデンサ素子は、共振回路の一部及び／又は複数の共振回路を接合する容量素子として用いられた高周波部品である。

【作用】

本発明の容量可変コンデンサ回路は電圧を印加することにより容量が変化する容量可変コンデンサ回路において、前記容量可変コンデンサ回路が、直列に接続された第1乃至第Nの容量可変素子と容量調整に用いる直流バイアス印加用の第iの入力端子側バイアスライン及び第iの出力端子側バイアスラインからなることを特徴とする容量可変コンデンサ回路である。前記第1の可変容量素子の入力端子側と第2iの可変容量素子ー第2i+1の可変容量素子の各接続点との間に、第iの入力端子側バイアスラインを設け、且つ前記第Nの可変容量素子の出力端子側端子部と第2i-1の可変容量素子ー第2iの可変容量素子の各接続点の間に第iの出力端子側バイアスラインを設けている。(但し、 $N=2n+1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$)従って、直列に接続する可変容量素子に印加される電圧がそれぞれの可変容量素子に分圧されるので、個々の可変容量素子に印加される電圧は減少する。このことから、高周波信号による容量の変化は小さく抑えることが出来る。また、第iの入力端子側バイアスライン及び第iの出力端子側バイアスラインを設けることにより、直流バイアスは個々の可変容量素子に独立に印加することが出来る。このことから、直流バイアスによる容量の変化は大きく保つことが出来る。

【0017】

また、バイアスラインが少なくとも抵抗あるいは／およびインダクタからなることを特徴とする容量可変コンデンサ回路であることより、バイアスラインに高周波信号が入り込むことはなく、また、直流電流は可変容量素子を流れないため、高周波的には直列接続された可変容量素子で、直流的には並列接続された可変容量素子と見る事が出来る。

【0018】

また、容量可変コンデンサ回路を構成する各可変容量素子同士の接続ラインが、第iの入力端子側バイアスライン及び第iの出力端子側バイアスラインにより交互に直流バイアスが供給されるため、接続された全ての可変容量素子に直流バ

イアスが安定して供給できるため、個々の可変容量素子の容量変化率を最大限に利用できる。

【0019】

高周波信号の入力端子と直流バイアスの供給端子を共通化しているので、回路としての取り扱いが容易になる。また、従来の容量可変コンデンサを、容量可変コンデンサが利用される回路に変更を加えることなく、本発明の容量可変コンデンサ回路に基づく容量可変コンデンサ素子と単純に置き換えることができる。

【0020】

本発明の容量可変薄膜コンデンサ素子は電圧を印加することにより容量が変化する容量可変薄膜コンデンサ素子において、前記容量可変薄膜コンデンサ素子が複数個の容量可変薄膜コンデンサを有している。これは、上述の容量可変コンデンサ回路を現実の素子にしたものである。

【0021】

また、可変容量素子を有する容量可変薄膜コンデンサ素子において、各可変容量素子が支持基板上に下部電極層、薄膜誘電体層、上部電極層を順次被着してなる。このことにより、各可変容量素子の容量を直流バイアスの印加により大きく変化させることができる。

【0022】

また、前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$ からなり、可変容量素子の容量変化率が大きく損失が小さい容量可変コンデンサを作製することが出来る。

【0023】

また、前記バイアスラインの全てまたは一部がNi-Cr合金あるいはFe-Cr-Al合金などの高抵抗合金薄膜からなることを特徴とする容量可変薄膜コンデンサ素子である。高抵抗の合金薄膜を用いることで、短い抵抗線でも高抵抗が達成できる。また、バイアスラインの全てまたは一部がAu、Ptなどの貴金属薄膜からなり、金属薄膜をスパッタ法などでごく薄く成膜した場合、完全な膜にはならず、微小な島状の金属塊からなる膜質の悪い膜になり、膜厚が薄くなると抵抗値が急激に高くなる。この性質を用いて、抵抗率の小さな貴金属類を用いることで、高抵

抗で耐酸化性に優れた抵抗成分を有する導体膜（バイアスライン）が得られる。

【0024】

また、前記バイアスラインの全てまたは一部がNi、Fe等の強磁性体薄膜からなる。このことから、強磁性体では透磁率 μ が大きいため、 $\delta = 1/\sqrt{\pi f \mu \sigma}$ （ f は周波数、 σ は伝導率である。）で表わされる表皮深さが常磁性体よりも小さくなる傾向がある。（ただし、 f は周波数、 σ は伝導率である。）このため、機械的に安定な厚みの膜を作製しても、高周波では表皮深さが薄くなり、抵抗が高くなるため高抵抗の膜を作製できる。また、前記バイアスラインの全てまたは一部が酸化物伝導体、窒化物導伝体または半導体からなる。このことにより絶縁層または支持基板との密着性の良いバイアスラインを作製することができる。

【0025】

また、前記バイアスラインが絶縁膜を介して、直列接続された容量可変薄膜コンデンサ上に形成されていることを特徴とする容量可変薄膜コンデンサ素子である。バイアスラインが絶縁膜を介して、直列接続された容量可変薄膜コンデンサ上に形成されていることから、素子面積を小さく出来、素子の小型化、低価格化が可能になる。

【0026】

また、前記バイアスラインが直線状、ループ状、ミアンダ状あるいはスパイラル状であることを特徴とする容量可変薄膜コンデンサ素子である。バイアスラインを直線状、ループ状、ミアンダ状あるいはスパイラル状とすることよりバイアスラインにインダクタンス成分を具備させることができ、抵抗成分とした時と同様の効果が得られる。

【0027】

本発明の高周波用電圧制御型共振器の一部（共振回路の一部として）、または、共振回路どうしを結合する手段として前記容量可変薄膜コンデンサを用いている。これにより、高周波的には直列接続され、直流的には並列接続された、容量可変薄膜コンデンサを用いて共振器を作製することにより、波形歪、相互変調歪みノイズが小さく、耐電力に優れた高周波用電圧制御型共振器である高周波部品を実現できる。また、共振回路を具備した電圧制御型高周波フィルタ、電圧制御

型アンテナ共用器においても同様に、高周波的には直列接続され、直流的には並列接続された、容量可変薄膜コンデンサを用いることにより、波形歪、相互変調歪みノイズが小さく、耐電力に優れた電圧制御型高周波フィルタ、アンテナ共用器を作製することができる。

【0028】

【発明の実施の形態】

以下、本発明の容量可変コンデンサ回路、容量可変薄膜コンデンサ素子及び高周波部品を $N=3$ ($n=1$) および $N=5$ ($n=2$) の場合に着いて図面に基づいて説明する。

【0029】

図1は本発明の $N=3$ ($n=1$) の場合の容量可変コンデンサ回路を示すものである。図1は3個の可変容量素子 $C_1 \sim C_3$ (第1の可変容量素子 C_1 、第2の可変容量素子 C_2 、第3の可変容量素子 C_3) を直列に接続したものであり、さらに、抵抗成分またはインダクタンス成分 (図では、抵抗成分 R_{11} 、 R_{21} を示す) を有する第1の入力端子側バイアスライン V_{11} 、第1の出力端子側バイアスライン V_{21} を有している。図1では高周波信号および直流バイアスは、共通端子であり、入出力端子 I 、 O となっている。

【0030】

そして、第1の可変容量素子 C_1 の入力端子側端部 A_{11} と第2の可変容量素子 C_2 —第3の可変容量素子 C_3 の直列接続点 B_{11} との間に、抵抗成分 R_{11} を有する第1の入力端子側バイアスライン V_{11} を設けている。また、前記第1の可変容量素子 C_1 —第2の可変容量素子 C_2 の接続点 A_{21} と第3の可変容量素子 C_3 の出力端子側端部 B_{21} との間に、抵抗成分 R_{21} を有する第1の出力端子側バイアスライン V_{21} を設けている。

【0031】

ここで、第1の入力端子側バイアスライン V_{11} 、第1の出力端子側バイアスライン V_{21} の抵抗成分 R_{11} 、 R_{21} は、高周波信号の周波数領域でのインピーダンスよりも大きな抵抗成分となっており、高周波信号は直列に接続した可変容量素子 $C_1 \sim$ 可変容量素子 C_3 を通り、直流バイアスは各可変容量素子 $C_1 \sim$

3に別々に印加されことになる。第1の入力端子側バイアスラインV11及び第1の出力端子側バイアスラインV21の抵抗成分R11、R21が小さすぎると、高周波信号も第1の入力端子側バイアスラインV11、第1の出力端子側バイアスラインV21を流れることになり、高周波信号による容量変化が大きくなり、Qが低下する。また、抵抗成分R11、R21が大きすぎると時定数が大きくなり、直流バイアス印加後、容量変化が一定になるまでに時間が掛かるようになる。

このため、容量可変コンデンサ回路の使用条件に応じて抵抗値を決める必要がある。

【0032】

図1に示す回路図において、入力端子Iから供給されたバイアス電流は、第1の可変容量素子C1にそのまま供給されて、接続点A21から第1の出力端子側バイアスラインV21を介して出力端子Oに流れる。また、入力端子Iから供給されたバイアス電流は、第1の入力端子側バイアスラインV11をながれ、接続点B11に供給され、接続点B11から第3の可変容量素子C3に供給され出力端子Oに流れるとともに、接続点B11から第2の可変容量素子C2に供給され、接続点A21から第2のバイアスラインV21に流れ、接続点B21を介して出力端子Oに流れることになる。

【0033】

ここで、抵抗成分R11、R21の設定においては、図2に示すように、直流に対する等価回路（可変容量素子C1～C3を絶縁抵抗Rp1、Rp2、Rp3に置換え）で説明する。

抵抗成分R11、R21の上限値は、直列接続した各可変容量素子C1～C3にかかる電圧がバイアスラインが無い場合よりも大きくなる抵抗値を上限とする。バイアス電圧は図2の抵抗により分圧されるので、

可変容量素子C1について考えると、 $R_{p1}/(R_{21}+R_{p1}) > R_{p1}/(R_{p1}+R_{p2}+R_{p3})$ が必要となり、 $R_2 < R_{p2}+R_{p3}$ となるようにする。

同様に、可変容量素子C2について考えると

$R_{p2}/(R_{11}+R_{21}+R_{p2}) > R_{p2}/(R_{p1}+R_{p2}+R_{p3})$ が必要となり、 $R_{11}+R_{21} < R_{p1}+R_{p3}$ とな

るようにする。

同様に、可変容量素子C3について考えると

$R_{p3}/(R_{11}+R_{p3}) > R_{p3}/(R_{p1}+R_{p2}+R_{p3})$ が必要となり、 $R_{11} < R_{p2}+R_{p3}$ となるようにする。

ここで $R_{11}=R_{21}=R$ 、 $R_{p1}=R_{p2}=R_{p3}=R_p=1G\Omega$ とすると

$$R < R_p=1G\Omega$$

が得られる。各可変容量素子C1～C3にかかるバイス電圧が1/10になる抵抗値を限界とすると、 $R < 100M\Omega$ となる。

また、時定数の4倍が応答時間より小さいことを要求すると、

$T < 4 \cdot 2 \cdot RC$ より $R < T/8C$ となり、ここで応答時間 $10\mu s$ 、容量 $2pF$ とすると

$$R < 10e-6/8 \cdot 2e-12 = 625k\Omega$$

となる。仮に、応答時間がms程度でよければ上限は $62M\Omega$ 程度となる。

【0034】

また、抵抗成分 R_{11} 、 R_{21} の下限については、使用高周波信号の周波数で直列の可変容量素子C1～C3であるためには、 R_{11} より C_1+C_2 の合成インピーダンスが小さくなる周波数が使用周波数より小さく、 R_{21} より C_2+C_3 の合成インピーダンスが小さくなる周波数が使用周波数より小さい必要がある。

即ち、 $R_{11} > (C_1+C_2)/(\omega \cdot C_1 \cdot C_2)$

$$R_{21} > (C_2+C_3)/(\omega \cdot C_2 \cdot C_3)$$

ここで $R_{11}=R_{21}=R$ 、 $C_1=C_2=C_3=2pF$ 、使用周波数を $2GHz$ とすると

$$R > 2C/\omega C^2 = 2/\omega C = 80\Omega$$

また、使用周波数の1/10までコンデンサであるためには、 $R > 800\Omega$ が必要となる。

以上より第1の入力端子側バイスライン V_{11} 、第1の出力端子側バイスライン V_{21} の抵抗成分 R_{11} 、 R_{21} は数 100Ω から $100M\Omega$ 程度の範囲であればよことになる。

【0035】

次に、図3、図4を用いて互いに直列接続された可変容量素子C1～C3を具備する容量可変薄膜コンデンサ素子を説明する。尚、図3は、各膜の構造が明確

にわかるように透視状態の平面図であり、図4は、バイアスライン部分の断面図を示す。

【0036】

図3、4において1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は上部電極層であり、6は第2の絶縁層であり、7は上部引出し電極であり、8は第3の絶縁層であり、9はバイアスライン（第1の入力端子側バイアスラインを911、第1の出力端子側バイアスラインを921と付す）であり、10は第4の絶縁層であり、11は半田拡散防止層であり、12は半田端子部（入力端子I側を12a、出力端子O側を12bと付す）である。また、薄膜誘電体層3および上部電極層4の周囲には、第1の絶縁体層5が配置される。そして、図中C1～C2は、バイアスによって容量成分を調整できる可変容量素子を示す。

【0037】

支持基板1はアルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板1の表面には、下部電極層2が形成されている。下部電極層2、薄膜誘電体層3、上部電極層4は支持基板上の全面に同一バッチで形成され、全層のスパッタ終了後に、先ず薄膜誘電体層3および上部電極層4が所定形状のレジスト層を用いて同一形状に物理的にエッチングされ、その後下部電極層2が所定形状のレジスト層を用いて物理的または化学的にエッチングされる。

【0038】

下部電極層2は、薄膜誘電体層3の形成に高温スパッタが必要となるため、高融点でしかも貴金属であるPtなどである。この下部電極層2は、例えば、基板温度150℃から600℃で形成されている。その後、薄膜誘電体層3のスパッタ温度である700～900℃へ加熱され、スパッタ開始まで一定時間保持することにより平坦な薄膜となる。

【0039】

この下部電極層2の厚みは、端子部12bから例えば第3の可変容量素子C3までの抵抗成分、下部電極層2の連続性（いずれも厚みが厚い方が望ましい）及

び支持基板 1 との密着性（厚みが相対的に薄い方が望ましい）を考慮して決定され、例えば、 $0.1 \sim 10 \mu\text{m}$ となっている。例えば、 $0.1 \mu\text{m}$ よりも小さくなると、電極自身の抵抗が大きくなると同時に、電極の連続性がなくなり、信頼性が劣るようになる。一方、 $10 \mu\text{m}$ 以上にすると支持基板 1 との密着信頼性が低下したり、支持基板 1 にそりを生じたりする。

【0040】

尚、下部電極層 2 を構成する金属材料は、高融点の貴金属 Pt、Pd 以外に、Au、Ag、Cu などと積層化・合金化し、抵抗値をさげることも可能である。

【0041】

薄膜誘電体層 3 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子から成る高誘電率の誘電体層である。この薄膜誘電体層 3 は、上述の下部電極層 2 の表面に形成されている。例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを行なう。例えば、基板温度を 800°C として、厚みを考慮した時間だけ成膜を行なう。高温でスパッタを行なうことにより、スパッタ後の熱処理を行なうことなく、高誘電率で変化率が大きく損失の低い薄膜誘電体層が得られる。

【0042】

上部電極層 4 の材料としては電極の抵抗を下げるため、抵抗率の小さな Au が望ましく、その他に、Ag、Cu など也可以使用できるが、薄膜誘電体層との密着性向上のためには Pt、Pd などの高融点貴金属が望ましい。この上部電極層 4 の厚みは $0.1 \sim 10 \mu\text{m}$ となっている。厚みの下限については下部電極層 2 と同様に、電極自身の抵抗を考慮して設定される。また、厚みの上限については密着性の低下を考慮して設定される。

【0043】

本発明の容量可変薄膜コンデンサ素子においては、上述の様に、下部電極層 2、薄膜誘電体層 3、上部電極層 4 を同一バッチでスパッタ成膜でき、大気に曝すことなく上部電極層まで成膜できるので、下部電極層 2 層－薄膜誘電体層 3 間、薄膜誘電体層 3－上部電極層 4 間に油脂等の、余分な付着が起こらないので、密着

性が大幅に改善され、下部電極層 2－薄膜誘電体層 3 間、薄膜誘電体層 3－上部電極層 4 間への水分等の浸入を防止することができ、耐湿性を大幅に改善することができ、非常に安定した特性を導出できる可変容量素子 C 1～C 3 が形成できる。

【0044】

第 1 の絶縁層 5 は、薄膜誘電体層 3、上部電極層 4 の周囲に形成されるものであり、材料は、 SiO_2 、 Si_3N_4 等のセラミックスなどである。このような第 1 の絶縁層 5 は、例えば下部電極層 2、上部電極層 4 及び支持基板 1 上に形成され、上部電極層 4 の上面およびバイアスライン 9 の端子部が露出するように、ドライエッチングで不要部分を除去する。通常のレジストを用いるドライエッチング工程の他に以下の方法も利用できる。第 1 の絶縁層 5 をスパッタで成膜する場合、スパッタでは、ターゲットのある一点から色々な方向にターゲット構成物質が放出されるので、支持基板 1 上のある一点には色々な方向から飛来したターゲット構成物質が堆積していくことになる。ところが、ドライエッチングでは並行に置かれたエッチング装置の電極間で加速されたイオンにより、エッチングが行なわれるため、膜に垂直方向にエッチングが進行する。上部電極層 4 の最上面には絶縁層 5 との密着性が悪い Au を用いており、エッチング中に上部電極層 4 上の絶縁層 5 とその周囲の絶縁層 5 が完全に分断された時点で上部電極層 4 上の絶縁層 5 が自動的に除去できる。何らかの原因で除去できない場合は超音波洗浄または 300℃程度の加熱で完全に除去することができる。このような方法ではレジスト層のサイズ、位置合わせの精度は重要ではなく、上部電極層 4 よりも大きな窓を持つレジスト層を用いればよい。また、全くレジストを用いなくても同様の加工が可能である。エッチング時に上部電極層 4、および薄膜誘電体層 3 の周囲の絶縁層 5 もエッチングされ、浮遊容量発生の原因になるので初期の絶縁層の厚みは厚い方が望ましい。

【0045】

尚、第 1 の絶縁層 5 は、少なくとも半田端子部 12 およびバイアスライン 9 が形成される端子配置部を露出するように形成されている。また、下部電極間の段差を埋めるために、 SiO_2 、 Si_3N_4 等のセラミックスなどまたは、BCB（ベンゾシク

ロブテン)、ポリイミドなどの有機材料で第2の絶縁層6を形成する。

【0046】

上部引出し電極層7は上部電極層4と端子配置部または上部電極層4同士を連結されて、第1の可変容量素子C1を端子部12aに接続するとともに、第2の可変容量素子C2と第3の可変容量素子C3を直列接続するものである。上部引出し電極7には、Ag、Cu、などの安価で低抵抗な金属を用いることができる。サイズは浮遊容量と抵抗を考慮して決定する。

【0047】

また、第3の絶縁層8は、半田端子部12、バイアスライン9の端子部を露出するように形成されている。絶縁層8としては、SiO₂、SiN、BCB（ベンゾシクロブテン）、ポリイミドなどが好適である。また、これらの材料の多層構造にしても良い。この第3の絶縁層8はバイアスライン9と引出し電極7の絶縁のために配置される。

【0048】

バイアスライン9は、図1の回路図中、接続点A11と接続点B11とを結ぶ第1の入力端子側バイアスラインV11と、接続点A21と接続点B21とを結ぶ第1の出力端子側バイアスラインV21とからなる。バイアスライン9は、第1の絶縁層5、第2の絶縁層6、第3の絶縁層8に形成されたビアホールを通して、下部電極2または引出し電極7に接続される。バイアスライン9は、所定抵抗成分R11、R21を具備させるため、材料には、高抵抗材料のNi-Cr合金、Fe-Cr-Al合金、Au、Ptなどの貴金属材料（厚みを制御して抵抗成分を調整）、Ni、Fe等の強磁性体材料を用いることができる。また、バイアスライン9は、例えば図3に示した様に可変容量素子C1～C3上に絶縁膜8を介して配置される。第4の絶縁層10は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

【0049】

半田拡散防止層11はリフロー時の半田の電極への拡散を防止するために形成される。

【0050】

また、半田端子部 12a、12b は、半田ペーストを印刷後、リフローを行なうことにより形成される。また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのバンプを形成しても構わない。

【0051】

以上のように、上述の容量可変薄膜コンデンサ素子において、可変容量素子 C1～C3 が高周波的には直列接続されて、しかも各可変容量素子 C1～C3 は、抵抗成分 R1、R2 を有するバイアスライン 9 で接続され、しかも、入出力端子 I、O (12a、12b) が共用されている。

【0052】

また、上述の容量可変薄膜コンデンサ素子は、高周波部品の共振回路の一部 (LC 共振回路の容量成分) として用いられったり、また、この共振回路を結合する容量成分として用いられる。したがって、容量可変薄膜コンデンサ素子の下部電極層、上部電極層、または引出し電極層を利用してインダクタを同時に形成したり、支持基板 1 の余白領域 (容量可変薄膜コンデンサ素子が形成されていない領域) にその他の共振回路を形成して、容量可変薄膜コンデンサ素子を電圧制御型高周波共振回路部品に、さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができる。

【0053】

図 5 は本発明の $N=5$ ($n=2$) の場合の容量可変コンデンサ回路を示すものである。図 5 は 5 個の可変容量素子 C1～C5 (第 1 の可変容量素子 C1、第 2 の可変容量素子 C2、第 3 の可変容量素子 C3、第 4 の可変容量素子 C4、第 5 の可変容量素子 C5) を直列に接続したものであり、さらに、抵抗成分またはインダクタンス成分 (図では、抵抗成分 R11、R12、R21、R22 を示す) を有する第 1 及び第 2 の入力端子側バイアスライン V11、V12 および第 1 及び第 2 の出力端子側バイアスライン V21、V22 を有している。

【0054】

図 5 では高周波信号および直流バイアスは、共通端子であり、入出力端子 I、O となっている。

【0055】

そして、第1の可変容量素子C1の入力端子側端部A11と第2の可変容量素子C2ー第3の可変容量素子C3の直列接続点B11との間に、抵抗成分R11を有する第1の入力端子側バイアスラインV11を設けている。また、第1の可変容量素子C1の入力端子側端部A12と第4の可変容量素子C4ー第5の可変容量素子C5の直列接続点B12との間に、抵抗成分R12を有する第2の入力端子側バイアスラインV12を設けている。

【0056】

また、第5の可変容量素子C5の出力端子側端部B21と第1の可変容量素子C1ー第2の可変容量素子C2の直列接続点A21との間に、抵抗成分R21を有する第1の出力端子側バイアスラインV21を設けている。また、第5の可変容量素子C5の出力端子側端部B22と第3の可変容量素子C3ー第4の可変容量素子C4の直列接続点A22との間に、抵抗成分R22を有する第2の出力端子側バイアスラインV22を設けている。

【0057】

ここで、第1、第2の入力端子側のバイアスラインV11、V12の抵抗成分R11、R12、第1、第2の出力端子側のバイアスラインV21、V22の抵抗成分R21、R22は、直列接続した容量素子の高周波信号の周波数領域でのインピーダンスよりも大きな抵抗成分となっており、高周波信号は直列に接続した可変容量素子C1～可変容量素子C5を通り、直流バイアスは各可変容量素子C1～5に別々に印加されことになる。第1、第2の入力端子側のバイアスラインV11、V12の抵抗成分R11、R12、第1、第2の出力端子側のバイアスラインV21、V22の抵抗成分R21、R22が小さすぎると、高周波信号も第1のバイアスラインV1、第2のバイアスラインV2を流れることになり、高周波信号による容量変化が大きくなり、Qが低下する。また、抵抗成分R11、R12、R21、R22が大きすぎると容量可変素子に印加される直流バイアスが減少し、容量変化が小さくなる、また、時定数が大きくなり、直流バイアス印加後、容量変化が一定になるまでに時間が掛かるようになる。このため、容量可変コンデンサ回路の使用条件に応じて抵抗値を決める必要がある。

【0058】

図5に示す回路図において、入力端子Iから供給されたバイアス電流は、第1の可変容量素子C1にそのまま供給されて、接続点A21から第1の出力端子側バイアスラインV21を介して出力端子Oに流れる。また、入力端子Iから供給されたバイアス電流は、第1の入力端子側のバイアスラインV11をながれ、接続点B11に供給され、接続点B11から第2の可変容量素子C2に供給され、接続点A21から第1の出力側バイアスラインV21に流れ、接続点B21を介して出力端子Oに流れることになる。また、入力端子Iから供給されたバイアス電流は、第1の入力端子側のバイアスラインV11をながれ、接続点B11に供給され、接続点B11から第3の可変容量素子C3に供給され、接続点A22から第2の出力側バイアスラインV22に流れ、接続点B22を介して出力端子Oに流れることになる。また、入力端子Iから供給されたバイアス電流は、第2の入力端子側のバイアスラインV12をながれ、接続点B12に供給され、接続点B12から第4の可変容量素子C4に供給され、接続点A22から第2の出力側バイアスラインV22に流れ、接続点B22を介して出力端子Oに流れることになる。また、入力端子Iから供給されたバイアス電流は、第2の入力端子側のバイアスラインV12をながれ、接続点B12に供給され、接続点B12から第5の可変容量素子C5に供給され、そのまま出力端子Oに流れることになる。

【0059】

ここで、抵抗成分R11、R12、R21、R22の設定においては、図6に示すように、直流に対する等価回路（可変容量素子C1～C5を絶縁抵抗Rp1、Rp2、Rp5に置換え）で説明する。

【0060】

抵抗成分R11、R12、R21、R22の上限値は、直列接続した各可変容量素子C1～C5にかかる電圧がバイアスラインが無い場合よりも大きくなる抵抗値を上限とする。バイアス電圧は図6の抵抗により分圧されるので、可変容量素子C1について考えると、 $R_{p1}/(R_{21}+R_{p1}) > R_{p1}/(R_{p1}+R_{p2}+R_{p3}+R_{p4}+R_{p5})$ が必要となり、 $R_{21} < R_{p2}+R_{p3}+R_{p4}+R_{p5}$ となるようにする。

【0061】

同様に、可変容量素子 C 2 について考えると

$R_{p2}/(R_{11}+R_{21}+R_{p2}) > R_{p2}/(R_{p1}+R_{p2}+R_{p3}+R_{p4}+R_{p5})$ が必要となり、 $R_{11}+R_{21} < R_{p1}+R_{p3}+R_{p4}+R_{p5}$ となるようにする。

【0062】

同様に、可変容量素子 C 3 について考えると

$R_{p3}/(R_{11}+R_{22}+R_{p3}) > R_{p3}/(R_{p1}+R_{p2}+R_{p3}+R_{p4}+R_{p5})$ が必要となり、 $R_{11}+R_{22} < R_{p1}+R_{p3}+R_{p4}+R_{p5}$ となるようにする。

【0063】

同様に、可変容量素子 C 4 について考えると

$R_{p4}/(R_{12}+R_{22}+R_{p4}) > R_{p4}/(R_{p1}+R_{p2}+R_{p3}+R_{p4}+R_{p5})$ が必要となり、 $R_{12}+R_{22} < R_{p1}+R_{p3}+R_{p4}+R_{p5}$ となるようにする。

【0064】

同様に、可変容量素子 C 5 について考えると

$R_{p5}/(R_{12}+R_{p5}) > R_{p5}/(R_{p1}+R_{p2}+R_{p3}+R_{p4}+R_{p5})$ が必要となり、 $R_{12} < R_{p1}+R_{p2}+R_{p3}+R_{p4}$ となるようにする。

ここで $R_1=R_2=R$ 、 $R_{p1}=R_{p2}=R_{p3}=R_{p4}=R_{p5}=1G\Omega$ とすると

$$R < R_p=2G\Omega$$

が得られる。各可変容量素子 C 1 ~ C 5 にかかるバイス電圧が 1/10 になる抵抗値を限界とすると、 $R < 200M\Omega$ となる。

また、時定数の 4 倍が応答時間より小さいことを要求すると、

$T < 4 \cdot 2 \cdot RC$ より $R < T/8C$ となり、ここで応答時間 $10\mu s$ 、容量 $2pF$ とすると

$$R < 10e-6/8 \cdot 2e-12 = 625k\Omega$$

となる。仮に、応答時間が ms 程度であれば上限は $62M\Omega$ 程度となる。

【0065】

また、抵抗成分 R_{11} 、 R_{12} 、 R_{21} 、 R_{22} の下限については、使用高周波信号の周波数で直列の可変容量素子 C 1 ~ C 5 であるためには、 R_{11} より C_1+C_2 の合成インピーダンスが小さくなる周波数が使用周波数より小さく、 R_{12} より $C_1+C_2+C_3+C_4$ の合成インピーダンスが小さくなる周波数が使用周波数より小さい必要がある。また、 R_{21} より $C_2+C_3+C_4+C_5$ の合成インピーダンスが小さくなる周波数が

使用周波数より小さく、 R_{22} より C_4+C_5 の合成インピーダンスが小さくなる必要がある。

即ち、 $R_{11} > (C_1+C_2)/(\omega * C_1 * C_2)$

$R_{12} > (C_1 * C_2 * C_3 + C_1 * C_2 * C_4 + C_1 * C_3 * C_4 + C_2 * C_3 * C_4) / (\omega * C_1 * C_2 * C_3 * C_4)$

$R_{21} > (C_2 * C_3 * C_4 + C_2 * C_3 * C_5 + C_2 * C_4 * C_5 + C_3 * C_4 * C_5) / (\omega * C_2 * C_3 * C_4 * C_5)$

$R_{22} > (C_4+C_5)/(\omega * C_4 * C_5)$

ここで $R_{11}=R_{12}=R_{21}=R_{22}=R$ 、 $C_1=C_2=C_3=C_4=C_5=2\text{pF}$ 、使用周波数を2GHzとすると

$$R > 4C^3/\omega C^4 = 4/\omega C = 160\Omega$$

また、使用周波数の1/10までコンデンサであるためには、 $R > 1600\Omega$ が必要となる。

以上より第1、第2の入力端子側のバイアスライン V_{11} 、 V_{12} の抵抗成分 R_{11} 、 R_{22} および第1、第2の出力端子側のバイアスライン V_{21} 、 V_{22} の抵抗成分 R_{21} 、 R_{22} の値は数100 Ω から100M Ω 程度の範囲であればよことになる。

【0066】

次に、図7、図8を用いて互いに直列接続された可変容量素子 $C_1 \sim C_5$ を具備する容量可変薄膜コンデンサ素子を説明する。尚、図7は、各膜の構造が明確にわかるように透視状態の平面図であり、図8は、バイアスライン部分の断面図を示す。

【0067】

図7、8において1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は上部電極層であり、6は第2の絶縁層であり、7は上部引出し電極であり、8は第3の絶縁層であり、9はバイアスライン（第1、第2の入力端子側バイアスラインを 9_{11} 、 9_{12} 、第1、第2の出力端子側のバイアスラインを 9_{21} 、 9_{22} と付す）であり、10は第4の絶縁層であり、11は半田拡散防止層であり、12は半田端子部（入力端子I側を12a、出力端子O側を12bと付す）である。また、薄膜誘電体層3および上部電極層4の周囲には、

第1の絶縁体層5が配置される。そして、図中C1～C5は、バイアスによって容量成分を調整できる可変容量素子を示す。

【0068】

支持基板1はアルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板1の表面には、下部電極層2が形成されている。下部電極層2、薄膜誘電体層3、上部電極層4は支持基板上の全面に同一バッチで形成され、全層のスパッタ終了後に、先ず薄膜誘電体層3および上部電極層4が所定形状のレジスト層を用いて同一形状に物理的にエッチングされ、その後に下部電極層2が所定形状のレジスト層を用いて物理的または化学的にエッチングされる。

【0069】

下部電極層2は、薄膜誘電体層3の形成に高温スパッタが必要となるため、高融点でしかも貴金属であるPtなどである。この下部電極層2は、例えば、基板温度150℃から600℃で形成されている。その後、薄膜誘電体層3のスパッタ温度である700～900℃へ加熱され、スパッタ開始まで一定時間保持することにより平坦な薄膜となる。

【0070】

この下部電極層2の厚みは、端子部12bから例えば第3の可変容量素子C3までの抵抗成分、下部電極層2の連続性（いずれも厚みが厚い方が望ましい）及び支持基板1との密着性（厚みが相対的に薄い方が望ましい）を考慮して決定され、例えば、0.1～10μmとなっている。例えば、0.1μmよりも小さくなると、電極自身の抵抗が大きくなると同時に、電極の連続性がなくなり、信頼性が劣るようになる。一方、10μm以上にすると支持基板1との密着信頼性が低下したり、支持基板1にそりを生じたりする。

【0071】

尚、下部電極層2を構成する金属材料は、高融点の貴金属Pt、Pd以外に、Au、Ag、Cuなどと積層化・合金化し、抵抗値をさげることも可能である。

【0072】

薄膜誘電体層3は、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物

結晶粒子から成る高誘電率の誘電体層である。この薄膜誘電体層 3 は、上述の下部電極層 2 の表面に形成されている。例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを行なう。例えば、基板温度を 800℃として、厚みを考慮した時間だけ成膜を行なう。高温でスパッタを行なうことにより、スパッタ後の熱処理を行なうことなく、高誘電率で変化率が大きく損失の低い薄膜誘電体層が得られる。

【0073】

上部電極層 4 の材料としては電極の抵抗を下げるため、抵抗率の小さな Au が望ましく、その他に、Ag、Cu など也可以使用できるが、薄膜誘電体層との密着性向上のためには Pt、Pd などの高融点貴金属が望ましい。この上部電極層 4 の厚みは 0.1 ~ 10 μm となっている。厚みの下限については下部電極層 2 と同様に、電極自身の抵抗を考慮して設定される。また、厚みの上限については密着性の低下を考慮して設定される。

【0074】

本発明の容量可変薄膜コンデンサ素子においては、上述の様に、下部電極層 2、薄膜誘電体層 3、上部電極層 4 を同一バッチでスパッタ成膜でき、大気に曝すことなく上部電極層まで成膜できるので、下部電極層 2 層—薄膜誘電体層 3 間、薄膜誘電体層 3—上部電極層 4 間に油脂等の、余分な付着が起こらないので、密着性が大幅に改善され、下部電極層 2—薄膜誘電体層 3 間、薄膜誘電体層 3—上部電極層 4 間への水分等の浸入を防止することができ、耐湿性を大幅に改善することができ、非常に安定した特性を導出できる可変容量素子 C1 ~ C5 が形成できる。

【0075】

第 1 の絶縁層 5 は、薄膜誘電体層 3、上部電極層 4 の周囲に形成されるものであり、材料は、SiO₂、Si₃N₄等のセラミックスなどである。このような第 1 の絶縁層 5 は、例えば下部電極層 2、上部電極層 4 及び支持基板 1 上に形成され、上部電極層 4 の上面およびバイアスライン 9 の端子部が露出するように、ドライエッチングで不要部分を除去する。通常のレジストを用いるドライエッチング工程の他に以下の方法も利用できる。第 1 の絶縁層 5 をスパッタで成膜する場合、ス

パッタでは、ターゲットのある一点から色々な方向にターゲット構成物質が放出されるので、支持基板 1 上のある一点には色々な方向から飛来したターゲット構成物質が堆積していくことになる。ところが、ドライエッチングでは並行に置かれたエッチング装置の電極間で加速されたイオンにより、エッチングが行なわれるため、膜に垂直方向にエッチングが進行する。上部電極層 4 の最上面には絶縁層 5 との密着性が悪い Au を用いており、エッチング中に上部電極層 4 上の絶縁層 5 とその周囲の絶縁層 5 が完全に分断された時点で上部電極層 4 上の絶縁層 5 が自動的に除去できる。何らかの原因で除去できない場合は超音波洗浄または 300℃ 程度の加熱で完全に除去することができる。この様な方法ではレジスト層のサイズ、位置合わせの精度は重要ではなく、上部電極層 4 よりも大きな窓を持つレジスト層を用いればよい。また、全くレジストを用いなくても同様の加工が可能である。エッチング時に上部電極層 4、および薄膜誘電体層 3 の周囲の絶縁層 5 もエッチングされ、浮遊容量発生の原因になるので初期の絶縁層の厚みは厚い方が望ましい。

【0076】

尚、第 1 の絶縁層 5 は、少なくとも半田端子部 12 およびバイアスライン 9 が形成される端子配置部を露出するように形成されている。また、下部電極間の段差を埋めるために、 SiO_2 、 Si_3N_4 等のセラミックスなどまたは、BCB（ベンゾシクロブテン）、ポリイミドなどの有機材料で第 2 の絶縁層 6 を形成する。

【0077】

上部引出し電極層 7 は上部電極層 4 と端子配置部または上部電極層 4 同士を連結させて、第 1 の可変容量素子 C1 を端子部 12a に接続するとともに、第 2 の可変容量素子 C2 と第 3 の可変容量素子 C3、第 4 の可変容量素子 C4 と第 5 の可変容量素子 C5 をそれぞれ直列接続するものである。上部引出し電極 7 には、Ag、Cu、などの安価で低抵抗な金属を用いることができる。サイズは浮遊容量と抵抗を考慮して決定する。

【0078】

また、第 3 の絶縁層 8 は、半田端子部 12、バイアスライン 9 の端子部を露出するように形成されている。絶縁層 8 としては、 SiO_2 、 SiN 、BCB（ベ

ンゾシクロブテン)、ポリイミドなどが好適である。また、これらの材料の多層構造にしても良い。この第3の絶縁層8はバイアスライン9と引出し電極7の絶縁のために配置される。

【0079】

バイアスライン9は、図5の回路図中、接続点A11と接続点B11、接続点A12と接続点B12とをそれぞれ結ぶ第1、第2の入力端子側のバイアスラインV11、V12と、接続点A21と接続点B21、接続点A22と接続点B22とをそれぞれ結ぶ第1、第2の出力端子側のバイアスラインV21、V22とからなる。バイアスライン9は、第1の絶縁層5、第2の絶縁層6、第3の絶縁層8に形成されたビアホールを通して、下部電極2または引出し電極7に接続される。バイアスライン9は、所定抵抗成分R1、R2を具備させるため、材料には、高抵抗材料のNi-Cr合金、Fe-Cr-Al合金、Au、Ptなどの貴金属材料（厚みを制御して抵抗成分を調整）、Ni、Fe等の強磁性体材料を用いることができる。また、バイアスライン9は、例えば図7に示した様に可変容量素子C1～C5上に絶縁膜8を介して配置される。第4の絶縁層10は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

【0080】

半田拡散防止層11はリフロー時の半田の電極への拡散を防止するために形成される。

【0081】

また、半田端子部12a、12bは、半田ペーストを印刷後、リフローを行うことにより形成される。また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのバンプを形成しても構わない。

【0082】

以上のように、上述の容量可変薄膜コンデンサ素子において、可変容量素子C1～C5が高周波的には直列接続されて、しかも各可変容量素子C1～C5は、抵抗成分R11、R12、R21、R22を有するバイアスライン9で接続され、しかも、入出力端子I、O（12a、12b）が共用されている。

【0083】

また、上述の容量可変薄膜コンデンサ素子は、高周波部品の共振回路の一部（LC共振回路の容量成分）として用いられ、また、この共振回路を結合する容量成分として用いられる。したがって、容量可変薄膜コンデンサ素子の下部電極層、上部電極層、または引出し電極層を利用してインダクタを同時に形成したり、支持基板1の余白領域（容量可変薄膜コンデンサ素子が形成されていない領域）にその他の共振回路を形成して、容量可変薄膜コンデンサ素子を電圧制御型高周波共振回路部品に、さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができる。

【0084】

【実施例1】

容量6 pF、直列抵抗0.1 Ω 、直列インダクタンス100 pHの可変容量素子C1～C3を直列接続し、10 k Ω の抵抗成分R11、R21をバイアスライン9に備えた容量可変コンデンサ回路のインピーダンス特性を図9に示した。6.5 GHzに可変容量素子の自己共振、1.2 MHzにバイアスライン9による変曲点が見られ、この間では3素子の容量6 pFの可変容量素子C1～C3を直列接続による合成容量2 pFとなっており、変曲点より低周波側では可変容量素子C1～C3の容量6 pFのコンデンサを並列接続した合成抵抗18 pFとなっていることがわかる。これにより、変曲点と自己共振周波数の間の高周波信号に対しては3素子の可変容量素子C1～C3は直列になっているため1素子あたりの可変容量素子にかかる高周波電圧は1/3になり、容量変化による波形歪が小さく、直流も含む変曲点以下の周波数に対しては3素子の可変容量素子C1～C3は並列になっており、容量変化を大きく保つことが出来ることがわかる。

【0085】

【実施例2】

支持基板としてサファイアR基板上に、下部電極層4としてPtを、基板温度500℃でスパッタ法により形成した。薄膜誘電体層として(Ba_{0.5}Sr_{0.5})TiO₃からなるターゲットを用いて同一バッチで成膜した。これは、基板温度は800℃、

成膜時間は15分で成膜を行なった。成膜開始前にPt電極の平坦化のためのアニールとして800℃で15分間保持した。その上に上部電極層としてPtおよびAu電極層を同一バッチで形成し、取り出し後3列一組の $10\mu\text{m} \times 30\mu\text{m}$ のレジスト層を形成し、ECR装置により上部電極層4をエッチングし、同様にBST層3および下部電極層2をECRでエッチングし3素子の可変容量素子C1～C3からなる可変容量素子C1～C3を形成した。レジスト層剥離後、 SiO_2 層をスパッタで600℃で成膜し、レジスト層を剥離後、ECRで15分程度エッチングし、上部電極層4上の SiO_2 層のみを除去した。部分的に除去されていない上部電極層4上の SiO_2 層については純水中で超音波洗浄することにより完全に除去した。また、BCBからなる第2の絶縁層8を形成し、さらに引出し電極7としてNiおよびAuをスパッタ成膜し、不要部をエッチングで除去し、3素子の可変容量素子C1～C3を直列接続した。

【0086】

インピーダンスアナライザによる測定の結果、容量は約2 pFであり、容量変化率はDC 3 V印加時で約6%であった。

【0087】

測定後、バイアスライン9としてNi-Cr合金膜を成膜し、不要部をエッチングした。バイアスライン形成後に再度インピーダンスアナライザによる測定を行なった結果、容量変化率はDC 3 V印加時で約18%であった。また、容量は低周波では18 pFであり、高周波では2 pFであった。

【0088】

即ち、容量変化率が大きく、低周波では並列接続で、高周波で直列接続されたコンデンサができることを確認した。

【0089】

【実施例3】

容量10 pF、直列抵抗0.06 Ω 、直列インダクタンス60 pHの可変容量素子C1～C5を直列接続し、10 k Ω の抵抗成分R11、R12、R21、R22をバイアスライン9に備えた容量可変コンデンサ回路のインピーダンス特性を図10に示した。尚、図中の例えば「1E3」とは、 1×10^3 を示し、「1E

9」とは、 1×10^9 を示すものである。

その結果、6.5 GHzに可変容量素子の自己共振、3 MHzにバイアスライン9による変曲点が見られ、この間では5素子の容量10 pFの可変容量素子C1～C5を直列接続による合成容量2 pFとなっており、変曲点より低周波側では可変容量素子C1～C5の容量10 pFのコンデンサを並列接続した合成抵抗50 pFとなっていることがわかる。これにより、変曲点と自己共振周波数の間の高周波信号に対しては5素子の可変容量素子C1～C5は直列になっているため1素子あたりの可変容量素子にかかる高周波電圧は $1/5$ になり、容量変化による波形歪が小さく、直流も含む変曲点以下の周波数に対しては5素子の可変容量素子C1～C5は並列になっており、容量変化を大きく保つことが出来ることがわかる。

【0090】

【実施例4】

支持基板としてサファイアR基板上に、下部電極層4としてPtを、基板温度500℃でスパッタ法により形成した。薄膜誘電体層として $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ からなるターゲットを用いて同一バッチで成膜した。これは、基板温度は800℃、成膜時間は15分で成膜を行なった。成膜開始前にPt電極の平坦化のためのアニールとして800℃で15分間保持した。その上に上部電極層としてPtおよびAu電極層を同一バッチで形成し、取り出し後5列一組の $10\mu\text{m} \times 50\mu\text{m}$ のレジスト層を形成し、ECR装置により上部電極層4をエッチングし、同様にBST層3および下部電極層2をECRでエッチングし3素子の可変容量素子C1～C3からなる可変容量素子C1～C3を形成した。レジスト層剥離後、 SiO_2 層をスパッタで600℃で成膜し、レジスト層を剥離後、ECRで15分程度エッチングし、上部電極層4上の SiO_2 層のみを除去した。部分的に除去されていない上部電極層4上の SiO_2 層については純水中で超音波洗浄することにより完全に除去した。また、BCBからなる第2の絶縁層8を形成し、さらに引出し電極7としてNiおよびAuをスパッタ成膜し、不要部をエッチングで除去し、3素子の可変容量素子C1～C5を直列接続した。

【0091】

インピーダンスアナライザによる測定の結果、容量は約 2 pF であり、容量変化率は DC 3 V 印加時で約 4 % であった。

【0092】

測定後、バイアスライン 9 として Ni-Cr 合金膜を成膜し、不要部をエッチングした。バイアスライン形成後に再度インピーダンスアナライザによる測定を行なった結果、容量変化率は DC 3 V 印加時で約 20 % であった。また、容量は低周波では 50 pF であり、高周波では 2 pF であった。

【0093】

即ち、容量変化率が大きく、低周波では並列接続で、高周波で直列接続されたコンデンサができることを確認した。

【0094】

【発明の効果】

直列に接続した第 1 乃至第 N の可変容量素子に直流バイアス印加用の第 1 乃至第 n の入力端子側のバイアスライン及び第 1 乃至第 n の出力端子側のバイアスラインを配置することにより、各可変容量素子に直流バイアス電圧を安定且つ均一に印加できる。(但し、 $N = n + 1$ 、 $n \geq 1$) このため、容量の変化を大きくし、且つ高周波信号による容量の変化、ノイズ、非線形歪みは小さく抑えることができる容量可変コンデンサ回路となる。同時に、これを支持基板上に形成して取り扱いに容易で、容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪みは小さく抑えることができる容量可変薄膜コンデンサ素子とすることができるとともに、耐電力に優れた容量可変薄膜コンデンサ素子とすることができる。

【0095】

また、前記容量可変薄膜コンデンサ素子を用いることにより、直流バイアス電圧の印加により周波数特性を大きく変化できるが、高周波信号による周波数特性の変化、ノイズ、非線形歪みは小さく抑えることができ、波形歪、相互変調歪みノイズを小さく抑えることができ、さらに耐電力に優れた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品となる。

【図面の簡単な説明】**【図 1】**

本発明の容量可変コンデンサ回路の回路図である。

【図 2】

本発明の容量可変コンデンサ回路の抵抗成分に置き換えた回路図である。

【図 3】

本発明の容量可変薄膜コンデンサ素子の平面図である。

【図 4】

本発明の容量可変薄膜コンデンサ素子の断面図である。

【図 5】

本発明の他の容量可変コンデンサ回路の回路図である。

【図 6】

図 5 の回路図を抵抗成分に置き換えた回路図である。

【図 7】

本発明の他の容量可変薄膜コンデンサ素子を示す平面図である。

【図 8】

図 7 の A - A 線における断面図である。

【図 9】

本発明の容量可変コンデンサ回路のインピーダンス特性図である。

【図 1 0】

本発明の他の容量可変コンデンサ回路のインピーダンス特性を図である。

【符号の説明】

- 1 . . . 支持基板
- 2 . . . 下部電極層
- 3 . . . 薄膜誘電体層
- 4 . . . 上部電極層
- 5 . . . 第1の絶縁層
- 6 . . . 第2の絶縁層
- 7 . . . 引出し電極

8 . . . 第 3 の絶縁層

9 1 1 . . . 第 1 の入力端子側のバイアスライン

9 1 2 . . . 第 2 の入力端子側のバイアスライン

9 2 1 . . . 第 1 の出力端子側のバイアスライン

9 2 2 . . . 第 2 の出力端子側のバイアスライン

1 0 . . . 第 4 の絶縁層

1 1 . . . 半田拡散防止層

1 2 a、1 2 b . . . 半田端子部

C 1 ~ C 5 可変容量素子

V 1 1、V 1 2 第 1、第 2 の入力端子側のバイアスライン

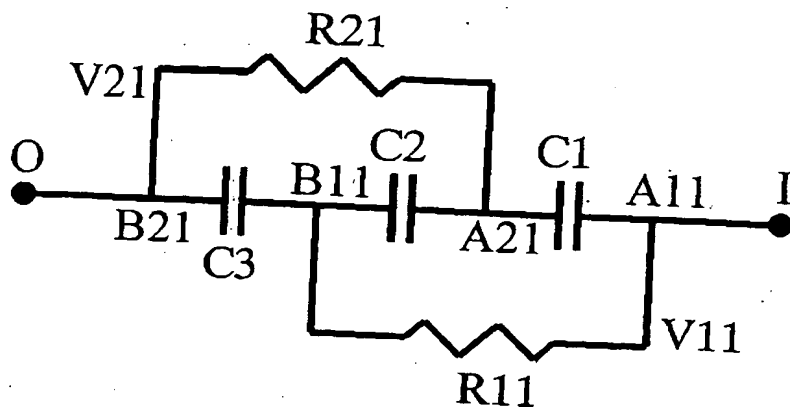
V 2 1、V 2 2 第 1、第 2 の出力端子側のバイアスライン

R 1 1、R 1 2、R 2 1、R 2 2 抵抗成分

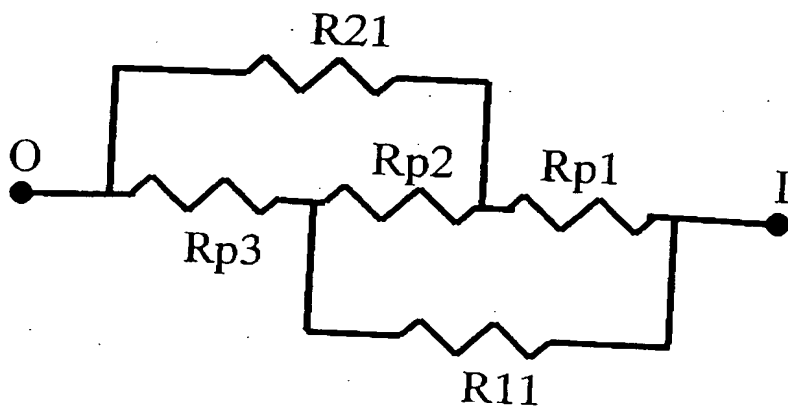
I、O 入出力端子

【書類名】 図面

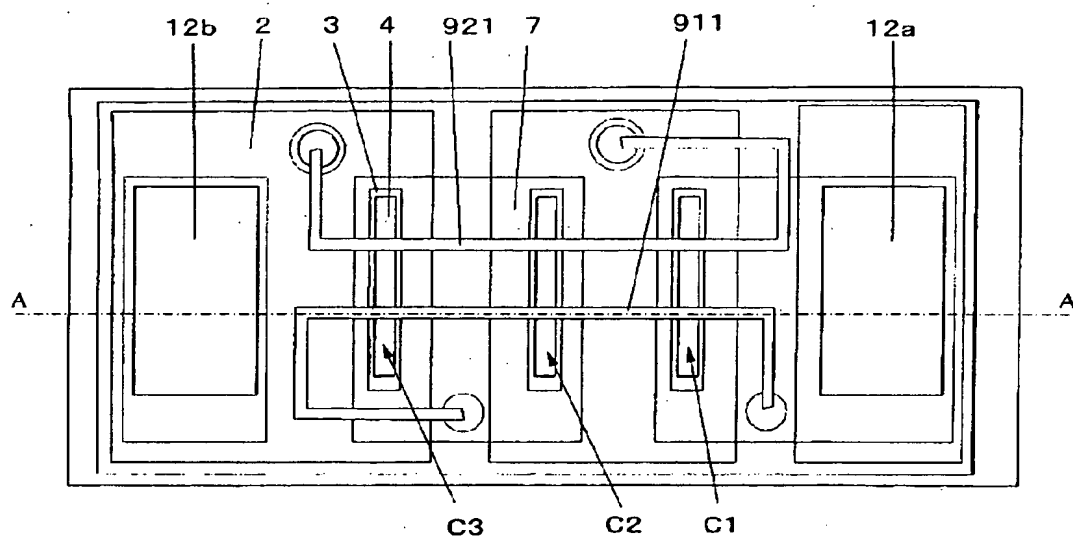
【図 1】



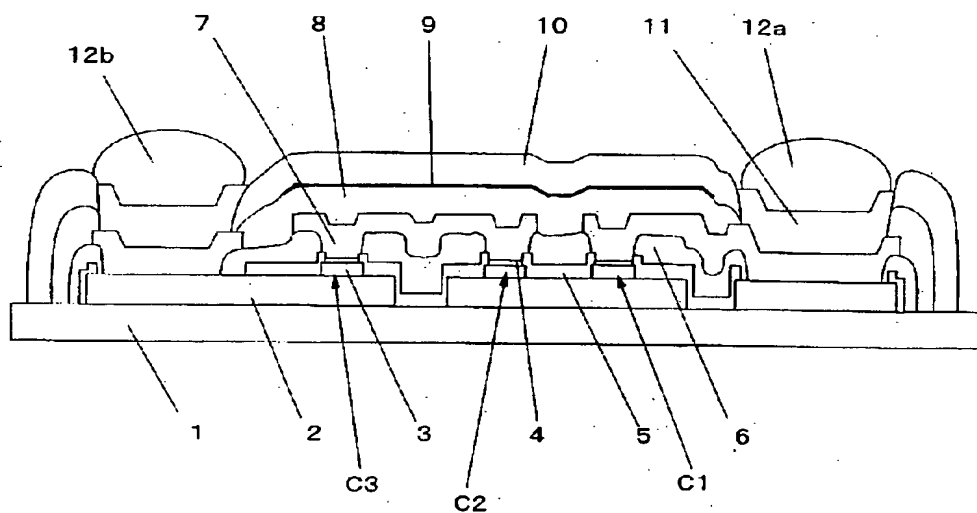
【図 2】



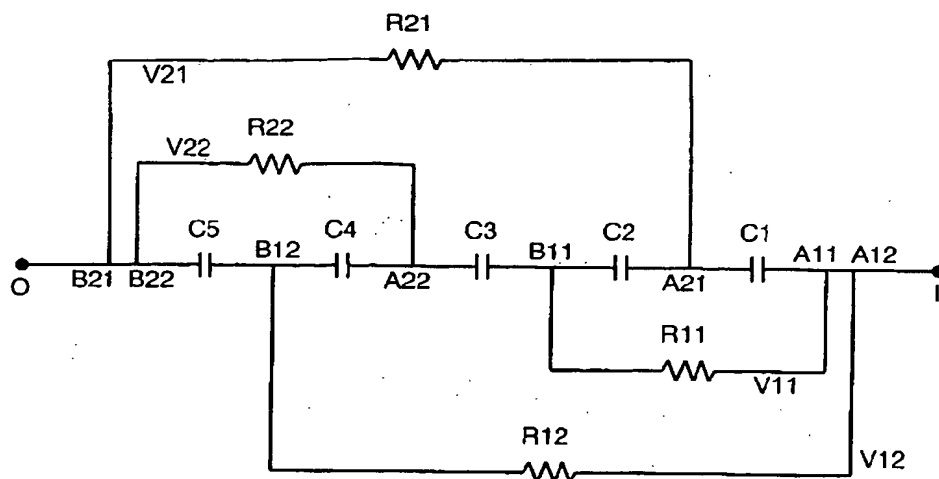
【図 3】



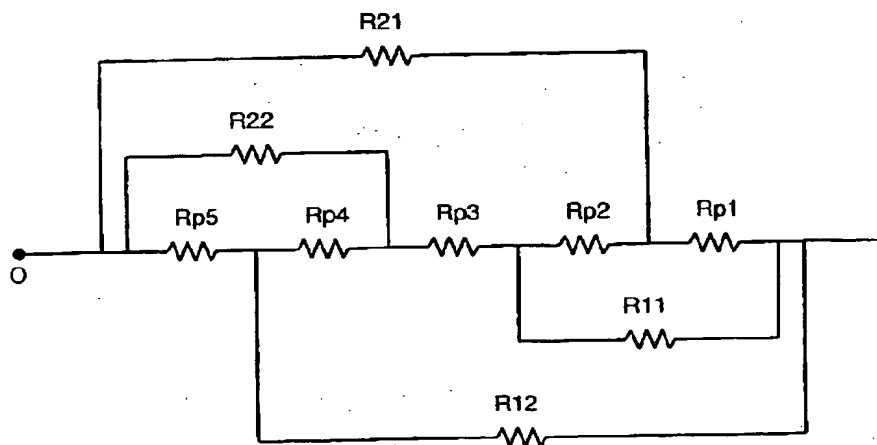
【図 4】



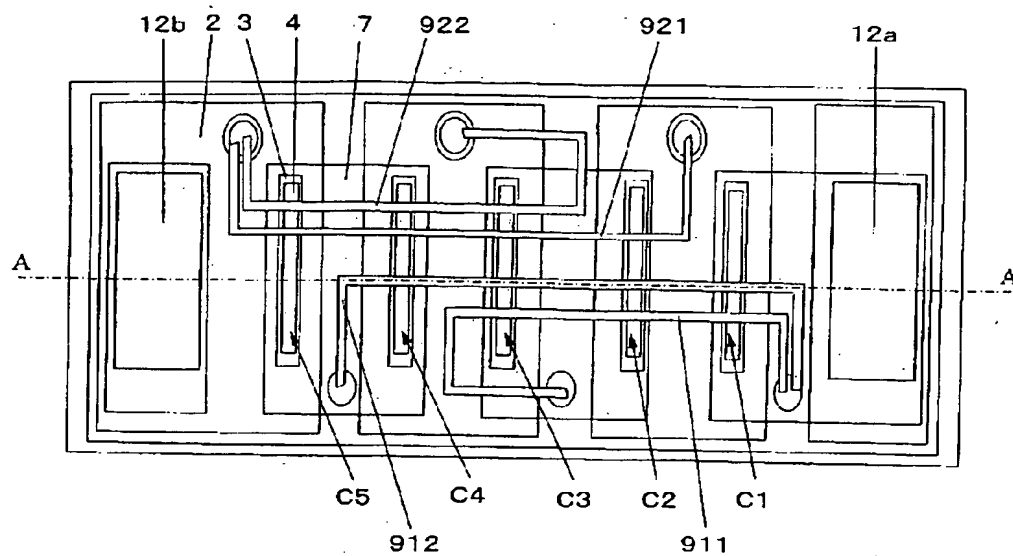
【図 5】



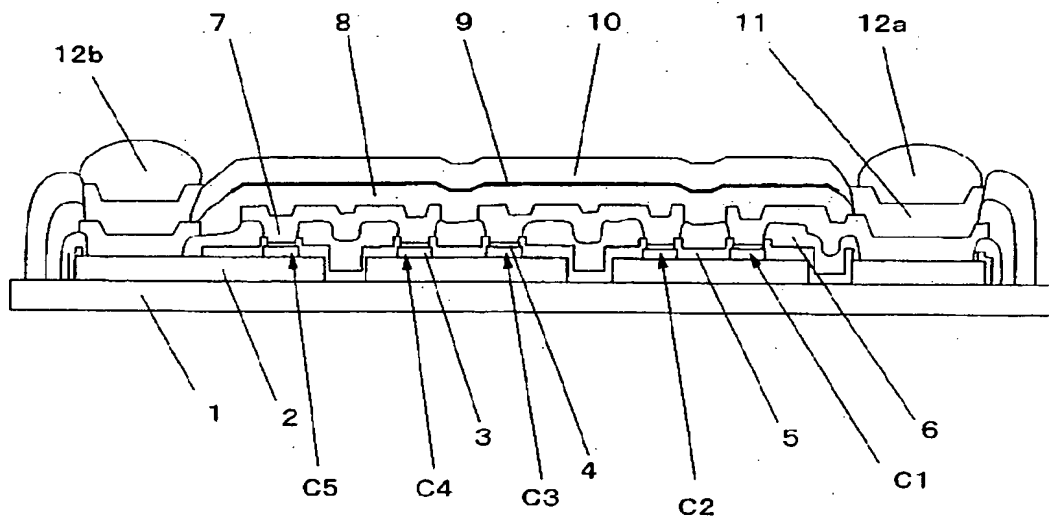
【図 6】



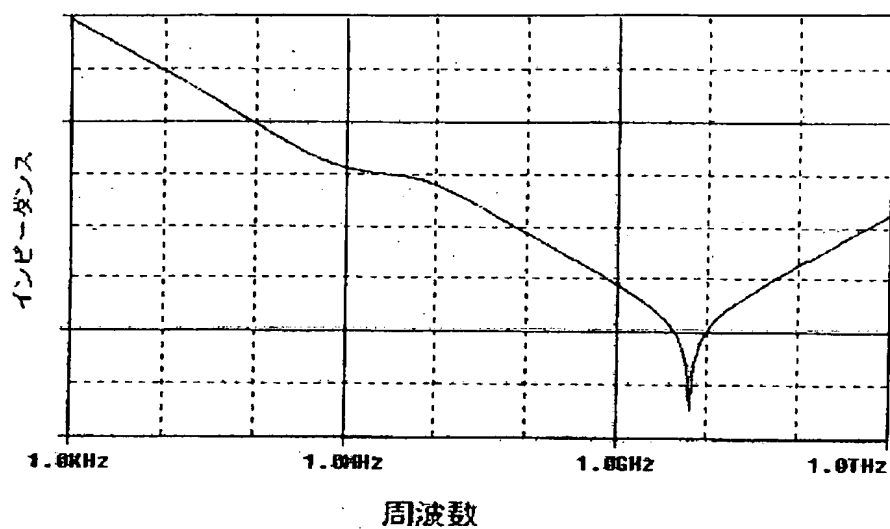
【図 7】



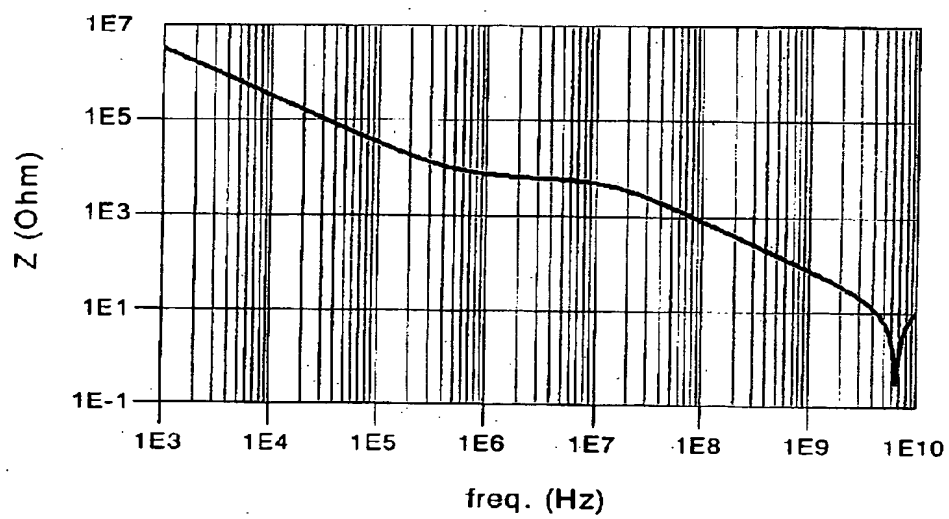
【図 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【課題】 本発明は、高周波信号による容量変化が小さくかつ、直流バイアスによる容量変化は大きい容量可変コンデンサ回路、容量可変薄膜コンデンサ素子を提供し、さらに、この容量可変薄膜コンデンサ素子を利用した高周波部品を提供する。

【解決手段】 入力端子 I と出力端子 O との間に、印加電圧値によって容量が変化する第 1 乃至第 N の可変容量素子 $C_1 \sim C_N$ を順次直列接続して成る容量可変コンデンサ回路において、前記第 1 の可変容量素子の入力端子側端子部と第 2 i の可変容量素子－第 2 i + 1 の可変容量素子の各接続点の間に第 i の入力端子側バイアスラインを設け、且つ前記第 N の可変容量素子の出力端子側端子部と第 2 i - 1 の可変容量素子－第 2 i の可変容量素子の各接続点の間に第 i の出力端子側バイアスラインを設けた。（但し、 $N = 2n + 1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$ ）

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 7 4 0 4
受付番号	5 0 2 0 1 9 7 6 4 1 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 月 7 日

< 認定情報・付加情報 >

【提出日】 平成14年12月26日

次頁無

特願 2 0 0 2 - 3 7 7 4 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 6 3 3]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

京都府京都市山科区東野北井ノ上町 5 番地の 2 2

氏 名

京セラ株式会社

2. 変更年月日

1 9 9 8 年 8 月 2 1 日

[変更理由]

住所変更

住 所

京都府京都市伏見区竹田鳥羽殿町 6 番地

氏 名

京セラ株式会社